

[19]中华人民共和国专利局

[11] 公开号 CN 1111825A



[12] 发明专利申请公开说明书

[21]申请号 94119911.8

[51]Int.Cl⁶

H01L 27/112

[43]公开日 1995年11月15日

[12]申请日 94.12.27

[30]优先权

[32]93.12.27[33]JP[31]348512/93

[32]94.6.30 [33]JP[31]150242/94

[32]94.11.11[33]JP[31]277470/94

[71]申请人 株式会社东芝

地址 日本神奈川县

[72]发明人 荒木仁

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王以平

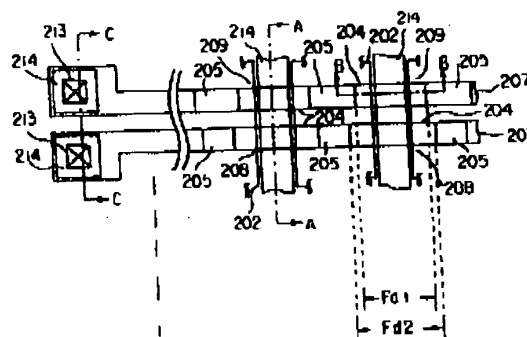
说明书页数:

附图页数:

[54]发明名称 非易失性半导体存储装置及其制造方法

[57]摘要

本发明旨在实现不必在高阻的第1多晶硅上开接触孔、接触孔数目少的选择晶体管以谋求高集成化。配置有和叠层式存储单元208具有同样浮置栅构造的选择晶体管209。由于在高阻的第1多晶硅上不开接触孔,故在选择晶体管的栅极布线中不必在单元阵列的中途形成接触孔。其结构是对浮置栅204预先注入电荷以使选择晶体管209的阈值变正,或向选择晶体管209的沟道区域掺杂、并用紫外线照射进行控制使中性阈值变为正值。



(BJ)第 1456 号

择晶体管控制在正阈值的杂质的沟道区。

34. 如权利要求 33 所述的非易失性半导体存储装置, 其特征是:

上述选择晶体管的结构要使用紫外线照射得到的中性阈值为正阈值。

35. 如权利要求 33 所述的电写入可擦除型的非易失性半导体存储装置, 其特征是:

在上述选择晶体管的电极区与半导体衬底之间以及上述存储单元的电荷积累区与半导体衬底之间分别具备实质上同一膜厚的栅绝缘膜。

36. 如权利要求 33 所述的非易失性半导体存储装置, 其特征是:

上述选择晶体管在上述第 2 浮置栅电极与上述半导体衬底间的静电容量 ($Cs1$) 和上述第 2 浮置栅电极与上述第 2 控制栅电极间的静电容量 ($Cs2$) 的比 ($Cs2/Cs1 + Cs2$) 小于上述存储器单元在上述第 1 浮置栅电极与上述半导体衬底间的静电容量 ($Cc1$) 和上述第 1 浮置栅电极与上述第 1 控制栅电极间的静电容量 ($Cc2$) 的比 ($Cc2/Cc1 + Cc2$)。

37. 如权利要求 33 所述的非易失性半导体存储装置, 其特征是:

上述第 2 浮置栅电极在上述第 2 控制栅电极方向上相邻的上

述选择晶体管之间互相连续。

38. 如权利要求 34 所述的非易失性半导体存储装置,其特征是:

上述选择晶体管在上述第 2 浮置栅电极与上述半导体衬底间的静电容量($Cs1$)和上述第 2 浮置栅电极与上述第 2 控制栅电极间的静电容量($Cs2$)的比($Cs2/Cs1+Cs2$)小于上述存储单元在上述第 1 浮置栅电极与上述半导体衬底间的静电容量($Cc1$)和上述第 1 浮置栅电极与上述第 1 控制栅电极间的静电容量($Cc2$)的比($Cc2/Cc1+Cc2$)。

39. 如权利要求 35 所述的非易失性半导体存储装置,其特征是:

上述选择晶体管在上述第 2 浮置栅电极与上述半导体衬底间的静电容量($Cs1$)和上述第 2 浮置栅电极与上述第 2 控制栅电极间的静电容量($Cs2$)的比($Cs2/Cs1+Cs2$)小于上述存储器单元在上述第 1 浮置栅电极与上述半导体衬底间的静电容量($Cc1$)和上述第 1 浮置栅电极与上述第 1 控制栅电极间的静电容量($Cc2$)的比($Cc2/Cc1+Cc2$)。

40. 如权利要求 33 至 39 中任一项所述的非易失性半导体存储装置,其特征是:

通过把多个上述存储单元的源和漏区串联而使上述存储单元的沟道区形成串联连接,把设置在该串联连接的二端部的上述选

择晶体管结构作为一个组合,则在重复该组合结构得到的每个配置中具备与上述选择晶体管的预定的一侧连接的位线。

41. 如权利要求 36、38 或 39 中任一项所述的非易失性半导体存储装置,其特征是:

上述第 2 浮置栅电极与在上述第 2 控制栅电极的方向上相邻的上述选择晶体管互相连续,上述第 1 浮置栅电极在上述第 1 控制栅电极的方向上相邻的上述存储器单元之间具有预定间隔并由此分隔开来,该预定间隔小于上述第 1 浮置栅电极的厚度的 2 倍。

42. 如权利要求 36、38 或 39 中任一项所述的非易失性半导体存储装置,其特征是:

上述第 2 控制栅电极方向上的上述第 2 浮置栅电极的长度小于上述第 1 控制栅电极方向上的第 1 浮置栅电极的长度。

43. 如权利要求 40 所述的非易失性半导体存储装置,其特征是:

上述组合结构被设置成矩阵状、并用于修正上述存储单元在数据写入状态下的阈值电压的检验装置。

44. 如权利要求 43 所述的非易失性半导体存储装置,其特征是所述检验装置包括:

把从上述存储单元读出的数据或写入到存储单元的数据作为第 1 状态和第 2 状态中的任一状态保持在预定的保持节点的触

图 7

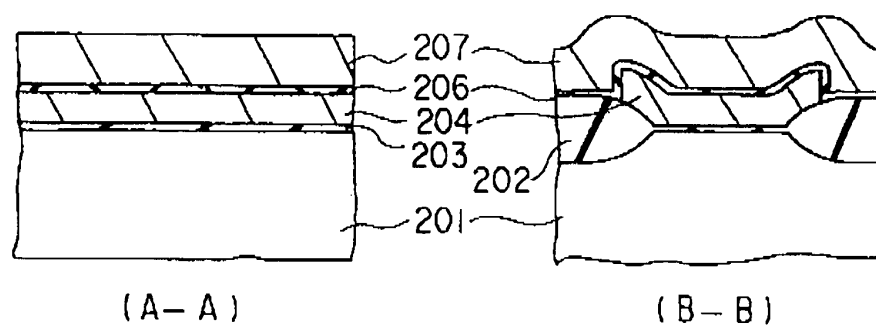


图 8

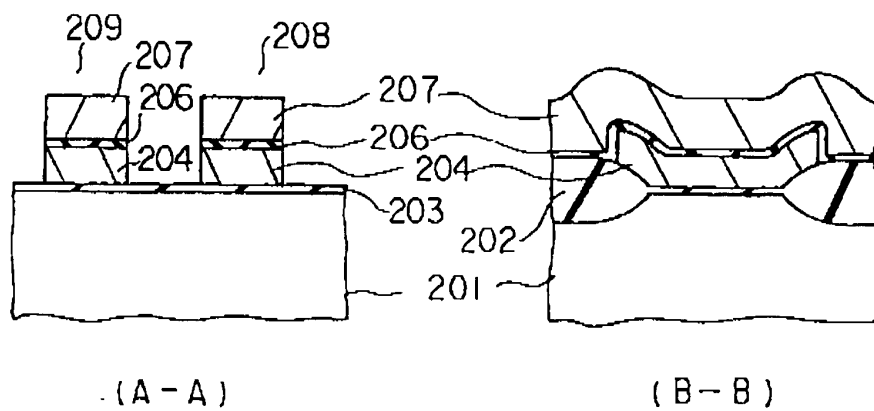


图 9

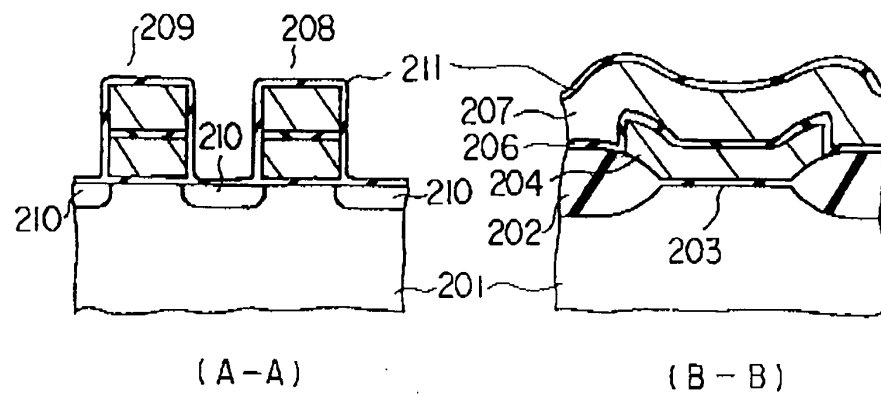


图 10

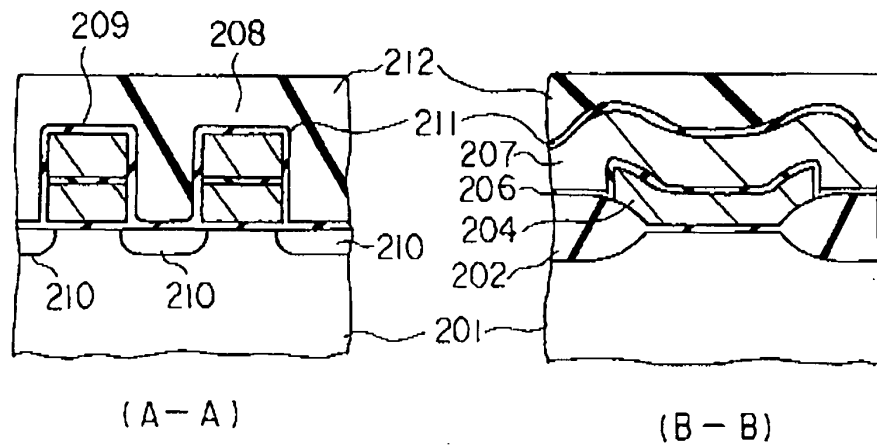
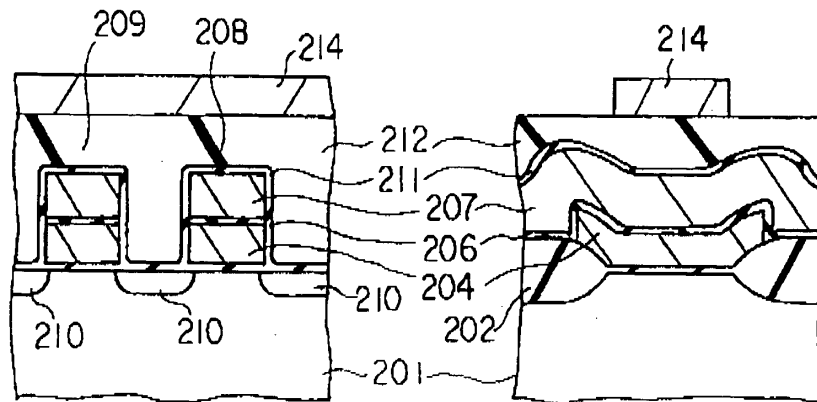
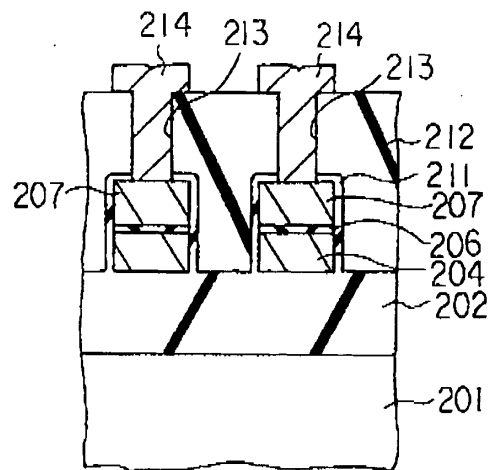


図 11



(A-A)

(B-B)



(C-C)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78551

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

G 1 1 C 17/ 00

3 0 7 D

審査請求 未請求 請求項の数25 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-277470

(22) 出願日 平成6年(1994)11月11日

(31) 優先権主張番号 特願平5-348512

(32) 優先日 平5(1993)12月27日

(33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平6-150242

(32) 優先日 平6(1994)6月30日

(33) 優先権主張国 日本(JP)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 荒木 仁
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

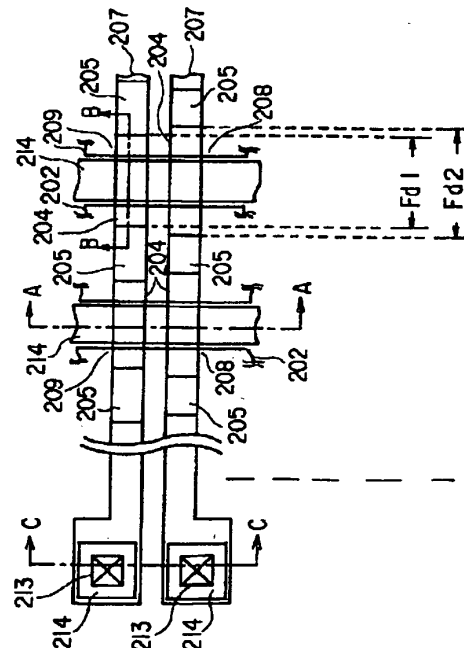
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

・【目的】高抵抗の第1のポリシリコンにコンタクトホールを開孔する必要がなく、コンタクトホール数が少ない選択トランジスタを実現させ、高集積化を図る。

・【構成】積層型のメモリセル208と同様の浮遊ゲートを有する構造の選択トランジスタ209を配している。高抵抗の第1のポリシリコン204にコンタクトホールを開孔しないので、選択トランジスタのゲート配線においてセルアレイ途中でのコンタクトホール形成の必要がない。選択トランジスタ209のしきい値が正になるようにその浮遊ゲート204に予め電荷を注入する構成、あるいは選択トランジスタ209のチャンネル領域に不純物313を導入して、紫外線照射による中性しきい値が正になるように制御される構成である。



1

・【特許請求の範囲】

・【請求項 1】 半導体基板表面のソース領域及びドレイン領域と、前記基板上に形成された第 1 の制御ゲート電極と、この制御ゲート電極と前記半導体基板との間に第 1 の電荷蓄積領域を有し、書き込み時にはゲートと基板、ドレイン、ソース間の電位差により前記第 1 の電荷蓄積領域に電荷を注入し、読み出し時のゲート電圧より高いしきい値に設定し、消去時には書き込み時と逆の電位差により前記第 1 の電荷蓄積領域から電荷を放出させ、読み出しゲート電圧より低いしきい値に設定することによりデータを記憶するメモリセルと、

前記メモリセル複数で直列接続を成しその端部に設けられる、第 2 の制御ゲート電極、及びこの制御ゲート電極と前記半導体基板との間に前記第 1 の電荷蓄積領域と同様の第 2 の電荷蓄積領域を有する選択トランジスタと、少なくとも前記メモリセルに対する読み出し、書き込み動作時に前記選択トランジスタに予め正のしきい値を持たせる第 2 の電荷蓄積領域に電荷を注入する手段とを具備したことを特徴とする不揮発性半導体記憶装置。

・【請求項 2】 前記選択トランジスタの第 2 の電荷蓄積領域と半導体基板との間、及び前記メモリセルの第 1 の電荷蓄積領域と半導体基板との間にそれぞれ実質的に同一膜厚のゲート絶縁膜を具備したことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

・【請求項 3】 前記メモリセルに対する消去動作時、前記選択トランジスタの第 2 の電荷蓄積領域と基板間には前記正のしきい値を保持できる程度の電界しかかからないようにする手段を具備したことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

・【請求項 4】 半導体基板表面のソース領域及びドレイン領域、このソース領域及びドレイン領域の間の基板上に形成された第 1 の絶縁膜、この第 1 の絶縁膜上に形成された第 1 の浮遊ゲート電極、この浮遊ゲート電極上に形成された第 2 の絶縁膜、この第 2 の絶縁膜上に形成された第 1 の制御ゲート電極を備えたメモリセルと、

前記ソース領域及びドレイン領域が連なって前記メモリセル複数で直列接続されその端部に設けられる、前記ソース領域及びドレイン領域の間の基板上に形成された第 3 の絶縁膜、この第 3 の絶縁膜上に形成された第 2 の浮遊ゲート電極、この浮遊ゲート電極上に形成された第 4 の絶縁膜、この第 4 の絶縁膜上に形成された第 2 の制御ゲート電極を備えた選択トランジスタと、

少なくとも前記メモリセルに対する読み出し、書き込み動作時において前記選択トランジスタに予め正のしきい値を持たせるための前記第 2 の浮遊ゲート電極への電荷注入手段とを具備したことを特徴とする不揮発性半導体記憶装置。

・【請求項 5】 前記第 1 の絶縁膜と前記第 3 の絶縁膜は実質同一の膜厚であることを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

2

・【請求項 6】 半導体基板表面のソース領域及びドレイン領域と、このソース領域、ドレイン領域間の基板上に形成された第 1 の制御ゲート電極と、この制御ゲート電極と前記半導体基板との間に第 1 の電荷蓄積領域を有し、書き込み時にはゲートと基板、ドレイン、ソース間の電位差により前記第 1 の電荷蓄積領域に電荷を注入し、読み出し時のゲート電圧より高いしきい値に設定し、消去時には書き込み時と逆の電位差により前記第 1 の電荷蓄積領域から電荷を放出させ、読み出しゲート電圧より低いしきい値に設定することによりデータを記憶するメモリセルと、

前記ソース領域及びドレイン領域の連なりによって前記メモリセル複数で直列接続を成す配列と、

前記配列の端部における前記ソース領域、ドレイン領域間の基板上に設けられる、前記第 1 の制御ゲート電極と同形状の第 2 の制御ゲート電極、及びこの制御ゲート電極と前記半導体基板との間に第 1 の電荷蓄積領域と同形状の電極領域を有する選択トランジスタと、

前記電極領域下の前記半導体基板に設けられる、前記選択トランジスタを正のしきい値に制御するための不純物が導入されたチャネル領域とを具備したことを特徴とする不揮発性半導体記憶装置。

・【請求項 7】 前記選択トランジスタは紫外線照射により得られる中性しきい値が正のしきい値になるように構成されていることを特徴とした請求項 6 記載の不揮発性半導体記憶装置。

・【請求項 8】 前記選択トランジスタの電極領域と半導体基板の間、及び前記メモリセルの電荷蓄積領域と半導体基板の間にそれぞれ実質的に同一膜厚のゲート絶縁膜を具備したことを特徴とする請求項 6 記載の電氣的書き込み消去型不揮発性半導体記憶装置。

・【請求項 9】 半導体基板表面のソース領域及びドレイン領域、このソース領域及びドレイン領域の間の基板上に形成された第 1 の絶縁膜、この第 1 の絶縁膜上に形成された第 1 の浮遊ゲート電極、この浮遊ゲート電極上に形成された第 2 の絶縁膜、この第 2 の絶縁膜上に形成された第 1 の制御ゲート電極を備えたメモリセルと、

前記ソース領域及びドレイン領域の連なりによって前記メモリセル複数で直列接続を成す配列と、

前記配列の端部における前記ソース電極、ドレイン領域間の基板上に形成された第 3 の絶縁膜、この第 3 の絶縁膜上に形成された第 2 の浮遊ゲート電極、この浮遊ゲート電極上に形成された第 4 の絶縁膜、この第 4 の絶縁膜上に形成された第 2 の制御ゲート電極を備え、紫外線照射により得られる中性しきい値が正のしきい値となっている選択トランジスタとを具備したことを特徴とする不揮発性半導体記憶装置。

・【請求項 10】 前記第 2 の浮遊ゲート電極下の前記半導体基板に設けられる、前記選択トランジスタを正のしきい値に制御するための不純物が導入されたチャネル領

3

域とを具備したことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

・【請求項 11】 前記第 1 の絶縁膜と前記第 3 の絶縁膜は実質同一の膜厚であることを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

・【請求項 12】 前記選択トランジスタに関する、前記第 2 の浮遊ゲート電極と前記半導体基板間静電容量 ($Cs1$) と前記第 2 の浮遊ゲート電極と前記第 2 の制御ゲート電極間の静電容量 ($Cs2$) との比 ($Cs2/(Cs1+Cs2)$) は、前記メモリセルに関する、前記第 1 の浮遊ゲート電極と前記半導体基板間の静電容量 ($Cc1$) と前記第 1 の浮遊ゲート電極と前記第 1 の制御ゲート電極間の静電容量 ($Cc2$) との比 ($Cc2/(Cc1+Cc2)$) より小さいことを特徴とする請求項 4 または 9 いずれかに記載の不揮発性半導体記憶装置。

・【請求項 13】 前記第 2 の浮遊ゲート電極は前記第 2 の制御ゲート電極方向で隣接する前記選択トランジスタどうし互いに連続していることを特徴とする請求項 4 または 9 記載の不揮発性半導体記憶装置。

・【請求項 14】 前記第 2 の浮遊ゲート電極は前記第 2 の制御ゲート電極方向で隣接する前記選択トランジスタどうし互いに連続しており、前記第 1 の浮遊ゲート電極は前記第 1 の制御ゲート電極方向で隣接する前記メモリセル間で所定間隔を有して区切られており、その所定間隔は前記第 1 の浮遊ゲート電極の厚さの 2 倍よりも小さいことを特徴とする請求項 12 記載の不揮発性半導体記憶装置。

・【請求項 15】 前記第 2 の制御ゲート電極方向における前記第 2 の浮遊ゲート電極の長さは前記第 1 の制御ゲート電極方向における第 1 の浮遊ゲート電極の長さに対して小さいことを特徴とする請求項 12 記載の不揮発性半導体記憶装置。

・【請求項 16】 前記メモリセルの前記ソース及びドレイン領域が複数直列することにより前記メモリセルのチャネル領域が直列接続されこの直列接続の両端部に前記選択トランジスタが設けられた構成を 1 ユニットとし、このユニット構成が反復して配列される毎に前記選択トランジスタの所定の一方と接続されるビット線を具備することを特徴とする請求項 1 ないし 15 いずれか記載の不揮発性半導体記憶装置。

・【請求項 17】 前記ユニット構成はマトリクス状に設けられ、データの書き込み状態に関わる前記メモリセルのしきい電圧を補正するベリファイ手段を具備することを特徴とする請求項 16 記載の不揮発性半導体記憶装置。

・【請求項 18】 前記ベリファイ手段は、前記メモリセルからの読み出しもしくはメモリセルへの書き込みのデータを第 1 の状態及び第 2 の状態のうちのいずれか一方の状態として所定の保持ノードに保持するフリップフロップ回路と、

4

前記メモリセルのベリファイ動作時に前記ビット線をプリチャージする充電手段と、

前記メモリセルのベリファイ動作時には前記ビット線と前記フリップフロップ回路とを電気的に遮断する期間を有する前記フリップフロップ回路と前記ビット線を結合する結合手段と、

前記ベリファイ動作時において導通する第 1 のベリファイ用トランジスタ及び前記ビット線の信号に対応してゲート制御される第 2 のベリファイ用トランジスタと、

10 ベリファイ終了時に前記第 1、第 2 のベリファイ用トランジスタが前記フリップフロップ回路の有する所定の保持ノードのデータを反転させる電流経路を構成する回路手段とを具備することを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

・【請求項 19】 前記フリップフロップ回路はリセット手段を含むことを特徴とする請求項 18 記載の不揮発性半導体記憶装置。

・【請求項 20】 前記ベリファイ動作が終了したことを検出するベリファイ検出手段をさらに具備することを特徴とする請求項 18、19 いずれか記載の不揮発性半導体記憶装置。

20 ・【請求項 21】 前記ベリファイ検出手段は複数の前記フリップフロップ回路それぞれの前記所定の保持ノードすべてに対しそれぞれ電位が一致したときのみ検出信号を得る共通ベリファイ線を有することを特徴とする請求項 20 記載の不揮発性半導体記憶装置。

・【請求項 22】 第 1 導電型の半導体基板上に選択的に素子分離領域を形成する工程と、

30 前記半導体基板上の前記素子分離領域以外の領域に第 1 のゲート絶縁膜を形成する工程と、

前記第 1 のゲート絶縁膜上に浮遊ゲート電極となる第 1 のポリシリコン膜を形成する工程と、

前記第 1 のポリシリコン膜を選択的にエッチングして浮遊ゲート分離領域を形成する工程と、

前記第 1 のポリシリコン膜上及び浮遊ゲート分離領域上に第 2 のゲート絶縁膜を形成する工程と、

前記第 2 のゲート絶縁膜上に制御ゲート電極となる第 2 のポリシリコン膜を形成する工程と、

40 前記第 1 のポリシリコン膜と前記第 2 のゲート絶縁膜と前記第 2 のポリシリコン膜を自己整合的に選択的にエッチングし浮遊ゲート電極と制御ゲート電極の積層構造を形成する工程と、

前記素子分離領域以外かつ前記浮遊ゲート電極及び制御ゲート電極の領域以外の前記半導体基板表面に第 2 導電型の不純物拡散層を形成する工程と、

前記半導体基板上と前記素子分離領域上と前記制御ゲート電極上に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜を介して前記制御ゲート電極と前記不純物拡散層にコンタクトホールを開孔する工程と、

50 前記制御ゲート電極と前記不純物拡散層それぞれに接続

5

される金属電極を前記コンタクトホール内及び前記第3の絶縁膜上に形成する工程と、

前記第3の絶縁膜と前記金属電極上に第4の絶縁膜を形成する工程と、

前記第4の絶縁膜内に前記金属電極と電気的に結合される金属配線を形成し、この金属配線にボンディング用の開孔部を形成する配線工程を具備し、

前記自己整合的に形成された浮遊ゲート電極及び制御ゲート電極の積層構造は前記不純物拡散層を隔てて複数個直列に配置され、その直列接続された一方端部の不純物拡散層がドレインコンタクト、他方端部の不純物拡散層がソースコンタクトとなり、上記直列接続された複数個の積層構造のうち両端の制御ゲート電極は選択トランジスタのゲート電極とすることを特徴とする不揮発性半導体記憶装置の製造方法。

・【請求項23】 前記配線工程は、複数層の金属層と絶縁層の積層構成と、この金属層間を接続するVIAホールを形成する工程を含み、前記制御ゲート電極上に設けられたコンタクトホールと前記不純物拡散層上に設けられたコンタクトホールには前記複数層の金属層のうちのいずれかの金属層が形成され電気的接続をなし、前記ボンディング用の開孔部を設ける金属配線は前記複数層の金属層のうちの最上層の金属層であることを特徴とする請求項22記載の不揮発性半導体記憶装置の製造方法。

・【請求項24】 前記配線工程の後に紫外線照射する工程を有することを特徴とする請求項22または23いずれか記載の不揮発性半導体記憶装置の製造方法。

・【請求項25】 前記半導体基板の少なくとも前記選択トランジスタのチャネル領域となる部分に不純物を導入し、前記紫外線照射後の選択トランジスタの中性しきい値を正のしきい値とすることを特徴とする請求項24記載の不揮発性半導体記憶装置の製造方法。

・【発明の詳細な説明】

・【0001】

・【産業上の利用分野】 本発明は選択トランジスタを有する電気的書き込み消去可能な不揮発性半導体記憶装置及びその製造方法に関する。

・【0002】

・【従来の技術】 電気的書き込み消去可能な不揮発性半導体記憶装置には、選択トランジスタを有するNAND型EEPROM、FLOTOX (floating gate tunnel oxide) 型EEPROM等と、選択トランジスタのないNOR型EEPROMとがある。選択トランジスタを有するEEPROMは、メモリセルの状態を正のしきい値と負のしきい値で区別するため、選択トランジスタがなければ、負のしきい値のメモリセルを非選択とした場合、非選択セルにセル電流が流れ込み誤動作してしまう。そのため、選択トランジスタをメモリセルと直列接続し誤動作を防止している。

・【0003】 図30は従来のNAND型EEPROMの

6

メモリセルを一部抜き出して示す回路図である。制御ゲートCG (図30ではCG1~CG8) で制御される積層型のメモリセル191 (以下、セルとも称する) が複数個直列接続され、この直列接続端部、すなわちドレインD側 (ビット線BL方向; 図30ではBL1, BL2) とソースS側にそれぞれ選択トランジスタ192を配し選択ゲートSG1, SG2で制御する構成となっている。図31はこのメモリセルにおける消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図である。

・【0004】 データの消去は、ビット線BL、ソースSをオープン、制御ゲートCG、選択ゲートSGを全部0Vにバイアスし、基板Wに消去電圧VEE、例えば20Vを印加することにより、酸化膜のトンネル現象を利用し、すべての浮遊ゲート内の電子を引き抜く。これにより、すべてのセルのしきい値は0V以下、すなわち、ノーマリオン化 (デプレッション型化、データ“1”化) される。

・【0005】 データの書き込みは、制御ゲートCGのうち、選択されたセルの制御ゲートには書き込み電圧Vpp例えば20Vを、非選択セルの制御ゲートにはVppと0Vの中間電位Vm、例えば10Vが印加される。この状態でビット線BLのうち、データ“0”を書き込むセルのビット線には0V、データ“1”のままのセルのビット線にはVmが印加される。

・【0006】 このような電位関係において、選択セルの制御ゲート電極がVppでビット線が0Vの選択セルでは、浮遊ゲート電極と半導体基板間の静電容量(Cs1)と浮遊ゲート電極と制御ゲート電極間の静電容量(Cs2)との比(Cs2/(Cs1+Cs2)) (以下カップリング比と呼ぶ) によりVpp電位が分割され、例えば、Cs2/(Cs1+Cs2)=0.5の場合、浮遊ゲート電極と半導体基板間の電位差は10Vとなる。

・【0007】 このとき浮遊ゲート電極と半導体基板間のゲート酸化膜 (以下トンネル酸化膜と呼ぶ) の電界はトンネル酸化膜厚が10nmであれば10MV/cmとなり、Fowler-Nordhim電流 (以下トンネル電流と呼ぶ) がトンネル酸化膜を介して流れ、電子が浮遊ゲートに注入され、そのセルのしきい値が正となり、選択セルに書き込み (“0”書き込み) が行われる。

・【0008】 上記“0”書き込みを行うセル (例えばF16.1中のBL1とCG4で選択されるセル) が属するNAND (SG1からSG2まで直列接続されたメモリセルユニットをNANDと呼ぶことにする) 及びそれ以外のビット線BL1につながるNAND中の非選択セルの制御ゲート電極にはVmの電位が印加されている。これは、非選択セルトランジスタをオンさせておき、ビット線電位0Vを選択セルのチャネルに転送し、選択セルの書き込み特性を十分にとるためである。このとき非選択セルのトンネル酸化膜に印加される電界は5MV/cm

7

程度であるので書き込みは起こらない。一方、上記選択セルと同一の制御ゲート上にあるセルに“1”書き込みを行う場合（例えばBL2とCG4で選択されるセル）、BL2のビット線電位は V_m にする。このような電位であれば、BL2とCG4で選択されるセルのチャネルにはほぼ V_m が転送されるので書き込みは行われず、“1”状態を保つことができる。上記書き込みセルのしきい値は0V以上 V_{cc} （例えば5V）以下にする。

・【0009】データの読み出しは、選択されたセルの属するビット線は V_{cc} 、例えば5Vにプリチャージされ、非選択のビット線には0Vにされる。そして選択されたセルの制御ゲートに0V、それ以外の非選択セルの制御ゲートには V_{cc} 、が印加され選択ゲートを開いてビット線から電流が流れ込むか否かによってデータ“0”／“1”を判定する。すなわち、セルがデプレッション化していれば電流は流れるが、しきい値が正になっていれば電流は流れない。しきい値 V_{th} が0Vより大きいセルと小さいセルの静特性を図32に示す。VCGは制御ゲートへの電圧、 I_d はドレイン電流である。

・【0010】このような構成によれば、通常メモリセルには書き込みあるいは消去を行うためトンネル電流を流すのに十分な薄さの酸化膜（通常10nm程度）を半導体基板と電荷蓄積領域の間に設ける。選択トランジスタのゲート酸化膜は通常のトランジスタ動作を行うのでトンネル現象の起こらない、つまりトンネル電流が流れない程度の厚い酸化膜が必要である。例えば、書き込み動作時の選択トランジスタのゲート電圧が10Vとすれば選択トランジスタ（SG）のゲート酸化膜厚は30nm程度必要である。

・【0011】このように、メモリセルと選択トランジスタのゲート酸化膜厚が異なる場合についてその製造工程を以下に説明する。図33は従来のNAND型EEPROMのメモリセルアレイの一部分を示す平面図である。図34～図45はそれぞれ、図33の要所の断面位置（A-A）、（B-B）、（C-C）、（D-D）を用いて製造工程を順次説明する断面図である。

・【0012】図34に示すように半導体基板101上に選択的に素子分離領域102を形成する（図34（B-B））。次に、図35に示すように半導体基板101上に熱酸化により第1のゲート酸化膜103を25nm程度形成する。次に、図36に示すようにフォトリソグラフィとウェットエッチング（例えば NH_4F ）を用いてメモリセル領域104の第1のゲート酸化膜を除去する。次に、図37に示すように熱酸化により10nmの第2のゲート酸化膜105を形成する。

・【0013】一般的にフォトリソグラフィに用いる感光材（レジスト）中には金属不純物が含有されており、この金属不純物がそれぞれのゲート酸化膜の膜質の劣化を引き起こしてしまう。ゲート酸化膜質を劣化させずに2種類の膜厚のゲート酸化膜を形成しようとする場合、製

8

造工程はこれより長くて複雑な工程となってしまう。製造工程を續いて説明する。

・【0014】図38に示すように、ゲート酸化膜103、105上に第1のポリシリコン106を200nm堆積し、PあるいはAsを $1 \times 10^{20} \text{ cm}^{-3}$ ドーピングする。ここで不純物濃度が比較的小さいのは、後の熱工程におけるドーパントの拡散によるゲート酸化膜105の耐圧劣化を極力防止するためである。

・【0015】次に、図39に示すように、フォトリソグラフィと異方性エッチングを用いてポリシリコン106を加工し、フローティングゲートが形成される。この結果、フローティングゲート分離領域107が形成される（図39（B-B））。

・【0016】次に、図40に示すように、第1のポリシリコン106とフローティングゲート分離領域107上に、シリコン酸化膜あるいはシリコン酸化膜とシリコン窒化膜の積層膜（ONO膜）でなる絶縁膜108をシリコン酸化膜換算で例えば25nm形成する。

・【0017】次に、図41に示すように、上記第1のポリシリコン上の絶縁膜108上に第2のポリシリコン109を、例えば、400nm堆積しPあるいはAsを $5 \times 10^{20} \text{ cm}^{-3}$ ドーピングする。次に、図42に示すように、フォトリソグラフィと異方性エッチングを用いて選択トランジスタ110の部分とメモリセル111の部分と同時に加工する（図42（A-A））。

・【0018】次に、図43に示すように、選択トランジスタのゲート電極の一部112に対しフォトリソグラフィと異方性エッチングを用いて第2のポリシリコン109を除去する。すなわち、C-C線断面の図43（C-C）はビット線複数本おきに設けられる選択ゲートの信号伝播促進用のコンタクト部分を形成するための途中のプロセスであり、D-D線断面の図43（D-D）はデコーダと繋がるコンタクト部分を形成するための途中のプロセスである。

・【0019】次に、図44に示すように、BPSG（Boron Phospho-Silicate Glass）などの層間絶縁膜113を堆積する。116は後酸化膜である。次に図45に示すように、フォトリソグラフィと異方性エッチングを用いて選択トランジスタの第1、第2のポリシリコン106、109上、（図示しないがメモリセル上、ドレイン、ソース領域上にも）コンタクトホール114を開孔する。その後、選択トランジスタの第1のポリシリコン106と第2のポリシリコン109を接続するようにアルミニウム配線115（ビット線BITも同じ）を形成する。

・【0020】上記構成のように、選択トランジスタの第1のポリシリコン106と第2のポリシリコン109を接続するのは次の理由からである。第1のポリシリコン106はゲート電極として作用するが、高抵抗ポリシリコンである。このため、第2のポリシリコン109を配線として用いなければならない。

9

・【0021】このように選択トランジスタの第1のポリシリコン106と第2のポリシリコン109にコンタクトホールを開孔するため、コンタクトホール数が多くなる。コンタクトホールに対する合わせ余裕の関係からフリンジが必要であり、コンタクトホール数が多いほど高集積化は損なわれる。選択ゲートには図33に示すコンタクト領域121がビット線複数本（例えば128本あるいは256本）おきに必要であり、これが高集積化の大きな妨げとなる。

・【0022】また、図38(A-A)に示すように、メモリセル領域104には書き込みあるいは消去を行うためのトンネル電流を流すのに十分な薄さの第2のゲート酸化膜105を形成する。これに対し、選択トランジスタのゲート酸化膜は通常のトランジスタ動作を行うのでトンネル現象の起こらない、つまりトンネル電流が流れない程度の厚い第1のゲート酸化膜103を必要とする。このような2種類の酸化膜を作るため、フォトリソグラフィ工程における合わせ余裕、すなわち選択トランジスタのゲート酸化膜とトンネル酸化膜の境界と、メモリセルのゲート電極端、あるいは選択トランジスタのゲート電極端との合わせ余裕が必要である。この合わせ余裕が選択トランジスタとそれに隣接するメモリセルとの間の集積度を低下させる。

・【0023】

・【発明が解決しようとする課題】このように従来では、ゲート酸化膜を選択トランジスタ用とそれより薄いトンネル酸化膜用とに作り分ける必要がある。特にトンネル酸化膜の耐圧劣化の防止のため、これと接触する第1のポリシリコンには多くの不純物を導入することはできず、高抵抗となる。従って配線としては不適当になるので、上層の低抵抗の第2のポリシリコンを配線として用い、コンタクトホールを介して各所で第1、第2のポリシリコンを接続していた。このため、コンタクトホール数が多くなり集積度の妨げになる欠点がある。

・【0024】この発明は上記事情を考慮してなされたものであり、その目的は第1のポリシリコンにコンタクトホールを開孔する必要がなく、すなわちコンタクトホール数が少なくコンタクトフリンジの必要のない選択トランジスタを有すると共に、製造工程を複雑化することなくトンネル酸化膜の信頼性を向上させ、かつ集積化に優れた不揮発性半導体記憶装置及びその製造方法を提供することにある。

・【0025】

・【課題を解決するための手段】この発明の不揮発性半導体記憶装置は、半導体基板表面のソース領域及びドレイン領域と、前記基板上に形成された第1の制御ゲート電極と、この制御ゲート電極と前記半導体基板との間に第1の電荷蓄積領域を有し、書き込み時にはゲートと基板、ドレイン、ソース間の電位差により前記第1の電荷蓄積領域に電荷を注入し、読み出し時のゲート電圧より

10

高いしきい値に設定し、消去時には書き込み時と逆の電位差により前記第1の電荷蓄積領域から電荷を放出させ、読み出しゲート電圧より低いしきい値に設定することによりデータを記憶するメモリセルと、前記メモリセル複数で直列接続を成しその端部に設けられる、第2の制御ゲート電極、及びこの制御ゲート電極と前記半導体基板との間に第1の電荷蓄積領域と同様の第2の電荷蓄積領域を有する選択トランジスタと、少なくとも前記メモリセルに対する読み出し、書き込み動作時に前記選択トランジスタに予め正のしきい値を持たせる第2の電荷蓄積領域に電荷を注入する手段とを具備したことを特徴とする。

・【0026】また、前記選択トランジスタは、第2の制御ゲート電極と半導体基板との間に、前記第1の電荷蓄積領域と同様形状の前記第2の電荷蓄積領域としての電極領域を有して構成され、この電極領域下の前記半導体基板に設けられる、前記選択トランジスタを正のしきい値に制御するための不純物が導入されたチャネル領域を具備することを特徴とする。

・【0027】さらに、この発明の不揮発性半導体記憶装置の製造方法として、前記チャネル領域を有する選択トランジスタには紫外線照射を行う工程が設けられ、その中性しきい値が正のしきい値になるように構成されることを特徴とする。

・【0028】

・【作用】選択トランジスタもメモリセルと同様なゲート電極構造を有する。このため、低抵抗の制御ゲート電極を選択ゲートの制御配線としてそのまま使用できるので高集積化の妨げとなるコンタクトホールを設ける必要がない。また、メモリセルと選択トランジスタに対するゲート絶縁膜は作り分ける必要がない。よって、ゲート絶縁膜の汚染の原因となる工程が省かれる。

・【0029】

・【実施例】図1はこの発明の第1実施例に係るNAND型EEPROMのメモリセルアレイの一部分を示す平面図である。図11(A-A)、(B-B)、(C-C)はそれぞれ図1におけるA-A線、B-B線、C-C線に沿う断面図であり、図2～図10はそれぞれ図1における断面位置を要所に用いてこの発明に係る製造方法を工程順に示す断面図である。

・【0030】図2に示すように、半導体基板201上に選択的に素子分離膜202を形成する。素子分離膜202は例えば、膜厚800nmの酸化膜である(図2(B-B))。次に、図3に示すように、素子領域表面上に例えば800℃のドライ酸化条件で10nmのゲート酸化膜203を形成する。次に、図4に示すように、ゲート酸化膜203、素子分離領域202上に減圧CVD法により例えば200nmの膜厚のポリシリコン204を堆積する。

・【0031】次に、図5に示すように、イオン注入法あるいは気相拡散により、PあるいはAsを 5×10^{19} 〜

11

$2 \times 10^{20} \text{cm}^{-3}$ の濃度でポリシリコン204 中に導入する。この不純物濃度は後の熱工程におけるドーパントの拡散によるゲート酸化膜203 の耐圧劣化を防止するため比較的低い濃度で高抵抗となる。次に、リソグラフィと異方性エッチングを用いて素子分離領域202 上のポリシリコン204 を素子分離領域からはみでない幅で除去し浮遊ゲート分離領域205 とする(図5 (B-B))。

・【0032】次に、図6に示すように、ポリシリコン204 と浮遊ゲート分離領域205 上に、900℃から1000℃の温度範囲でドライ酸化して例えば15nmの膜厚の酸化膜を形成し、その上にLPCVD法によりシリコン窒化膜を例えば15nmの膜厚で堆積し、その上に900℃から1000℃の温度範囲でウェット酸化により例えば5nmの膜厚の酸化膜を形成する。これにより、シリコン酸化膜とシリコン窒化膜の積層絶縁膜(ONO膜)206 を形成する。

・【0033】次に、図7に示すように、ONO膜206 上にLPCVD法により例えば400nmの膜厚のポリシリコン207 を堆積する。次にイオン注入法あるいは気相拡散によりPあるいはAsを $3 \times 10^{20} \sim 5 \times 10^{20} \text{cm}^{-3}$ の濃度でポリシリコン207中に導入する。

・【0034】次に、図8に示すように、リソグラフィと異方性エッチングを用いてポリシリコン207 とONO膜206 とポリシリコン204 を順にエッチングして、メモリセル208 と選択トランジスタ209 のゲート部を同時に形成する(図8 (A-A))。

・【0035】次に、図9に示すように、PあるいはAsをイオン注入し、ソース/ドレイン領域となる拡散層210 を形成する。次に、800℃から1000℃の温度範囲でドライ酸化によりポリシリコン204、207 表面と拡散層210 上に酸化膜211 を形成する。

・【0036】次に、図10に示すように、酸化膜211 上にBPSG膜212 を例えば1000nmの膜厚で堆積する。次に、図11に示すように、リソグラフィと異方性エッチングを用いて拡散層210 一部表面(図示しないビット線コンタクト部)と、メモリセル208 及び選択トランジスタ209 におけるポリシリコン207 の一部表面が露出するコンタクトホール213 を開孔する。その後、スパッタ法あるいはCVD法により、アルミニウムを例えば、800nmの膜厚で堆積する。次にリソグラフィと異方性エッチングを用いてこのアルミニウムを選択的にエッチングし配線214 (ビット線も同じ)を形成する。

・【0037】図11 (C-C) はデコーダ(図せず)側に接続されるためのコンタクト領域の断面であり、素子分離領域202 上にポリシリコン(204、207)の電極が形成されている。選択トランジスタ209 の配線はメモリセルと同様の低抵抗のポリシリコン207 (ゲート配線)にコンタクトをとっている。

・【0038】このような構成によれば、高抵抗の第1のポリシリコン204 にコンタクトホールを開孔しないの

12

で、選択トランジスタのゲート配線においてセルアレイ途中でのコンタクトホール形成の必要がなくなる。すなわち、前記図33の121 の領域が必要なくなるので、コンタクトホール数は必要最小限となり、高集積化に寄与する。

・【0039】また、メモリセルと選択トランジスタに対するゲート絶縁膜は作り分ける必要がない。従って、メモリセルと選択トランジスタに対するゲート絶縁膜は同一工程となり、従来のようにリソグラフィ工程での合わせ余裕を必要としない。この結果、ゲート絶縁膜の汚染の原因となる工程が省かれメモリセルの信頼性が向上されると共に集積度向上に寄与する。

・【0040】図12は図1の構成によるこの発明のNAND型EEPROMのメモリセルを一部抜き出して示す回路図である。図1～図11中の対応する箇所は同一の符号を付している。

・【0041】制御ゲートCG(図12中CG1～CG8)で制御される積層型のメモリセル208(以下、セルとも称する)が複数個直列接続され、この直列接続端部、すなわちドレインD側(ビット線BL(BL1, BL2))とソースS側にそれぞれ選択トランジスタ209を配し、選択ゲートSG(SG1, SG2)で制御する構成となっている。この選択トランジスタ209 はメモリセル208 と同様の浮遊ゲートを有している。

・【0042】すなわち、上記浮遊ゲートは例えば前述の図11で示した第1のポリシリコン204 であり、選択ゲートSG1, SG2 や制御ゲートCGは図11で示した第2のポリシリコン207 である。

・【0043】選択トランジスタ209 は書き込み、読み出し時には選択されたもの以外は非導通状態としなければならない。そこでまず、選択トランジスタのしきい値が正になるようにその浮遊ゲートに予め電荷を注入させておくSG書き込み手段が必要になってくる。

・【0044】図13はこの発明に係る選択トランジスタ209 のしきい値制御を行うためのデコード系の回路例を示している。すなわち、制御ゲートCGのデコード内に選択ゲートSGのデコード動作が行えるよう組み込まれている。ロウメインデコーダ301、ロウサブデコーダ302 からなり、ロウメインデコーダ301 の回路は図14のように構成され、ロウサブデコーダ302 は図15のように構成されている。

・【0045】図14に示すロウメインデコーダは、NAND束からなるメモリセルブロックのうちの1つを選択する回路である。外部から入力されるアドレスは、図示しないアドレスラッチ回路によって内部ロウアドレスに変換され、この内部ロウアドレスによってメモリセルブロックのうちの1つを選択するため、ノードN1から図15に示すようなロウサブデコーダに信号を供給する。選択されたロウサブデコーダ302 の入力ノードN1の電位は5V(Vcc)、また非選択のロウサブデコーダ302

13

の入力ノードN1の電位は0Vとなる。

・【0046】図15に示すロウサブデコードは、入力信号A、B、C、D、E、電源VA、VB、VCにはそれぞれ読み出し時、書き込み時、選択ゲートSGの書き込み時、消去時の各モードにおいて、図16に示す電位が供給される。Vccは通常の電源で例えば5V、Vppは書き込み消去系高電圧、例えば20V、VmはVppの中間電位で例えば10V、GNDは0Vとして考える。

・【0047】この発明における選択ゲートSGの書き込みについて、図15、図16を参照して説明する。選択トランジスタ書き込み（SG書き込み）のモードになると、ロウサブデコード302の入力ノードN1の電位は5V（Vcc）となり、信号Aの電位が0V、信号Bの電位が5Vとなるよう制御されるため、PチャネルMOSトランジスタとNチャネルMOSトランジスタとからなるスイッチ401が非導通状態、スイッチ402が導通状態となる。このためノードN2の電位はノードN1と反対の電位（0V）となる。

・【0048】電源VAの電位はVpp（20V）となっているから、ロウサブデコード部のノードN3の電位は0Vとなり、ノードN4の電位は20Vとなる。これにより、ロウサブデコードの出力ゲート410は非導通状態、放電用Nチャネルトランジスタアレイ411は導通状態となる。従って、制御ゲートCGは全部0Vに設定される。

・【0049】一方、ドレイン側のセレクト線（SG1）の端部においてノードN4の電位と同じ20Vがゲートに印加されるQ122、Q131に対し、その両電源側に接続されたPチャネルMOSトランジスタQ121、Q132のゲートは共に0Vにされる。これにより、このドレイン側セレクト線の端部は遮断状態になる。また、ソース側のセレクト線（SG2）の端部ではQ134、Q135、Q136が非導通状態である。よって、ノードN3の電位と同じノードN5の0Vは、SG書き込み用トランジスタQ141、Q142を導通させ、電源VDからの高電圧Vppにより、選択ゲートSGに20Vが印加されるように構成されている。

・【0050】上記のようなデコードの構成により、図12に示す選択トランジスタ209のしきい値設定は実際以下のシーケンスで達成される。まず、制御ゲートCG及び選択ゲートSGを全部0V、ビット線、ソースをオープン、基板をVppにする事により、CG、SGの浮遊ゲート電極から、基板へトンネル電流を流し、すべての浮遊ゲート内の電子を引き抜き消去状態とする。

・【0051】次に、選択トランジスタ209のしきい値を0V以上にするため、SGにVpp、例えば20Vを印加し、その他を0Vとする。これにより選択トランジスタ209のフローティングゲートに電子が注入された状態になり、しきい値は0V以上になる。このしきい値は、書き込み時におけるビット線電位（中間電位Vm、例えば

14

10V）を転送するため余り高くしてはならず、例えば1V程度に設定する。

・【0052】次に、上記実施例構成においてメモリセルにおける消去、書き込み及び読み出し動作について説明する。まず、データの消去は図17に示すように、全部のCGを0V、ビット線BL、ソースSをオープン、基板WをVEE、例えば20Vにすることにより、酸化膜のトンネル現象を利用し、すべての浮遊ゲート内の電子を引き抜く。これにより、すべてのセルのしきい値は0V以下、すなわち、ノーマリオン化（デプレッション型化、データ“1”化）される。このときSGにはVpp（例えば20V）あるいはVm（例えば10V）を印加し、選択トランジスタの浮遊ゲート電極中の電荷抜けを防止する。このとき消去セルのしきい値は0V以下（負のしきい値）にされる。

・【0053】データ書き込みは、従来と同様で、制御ゲートCGのうち、選択されたセルの制御ゲートには書き込み電圧Vpp、例えば20Vを、非選択セルの制御ゲートにはVppと0Vの中間の電位Vm、例えば10Vが印加される。この状態でビット線BLのうち、データ“0”を書き込むセルのビット線には0V、データ“1”のままのセルのビット線にはVmが印加される。

・【0054】すなわち、図18に示すように、制御ゲートCG4に繋がる所定のメモリセルCELL1に選択的に書き込みを行うとすると、CG4にVpp（20V）を印加し、それ以外のCGと選択ゲートSG1、ビット線BL2にはVm（10V）、ビット線BL1、SG2には接地電位GNDを与える。これにより、CELL1だけにはトンネル電流が流れるに十分な電界がかかり、しきい値が正となり、選択セルに書き込み（“0”書き込み）が行われる。他のセルにはチャネル側にVmが印加されるので、トンネル酸化膜にかかる電界が緩和（5MV/cm）されトンネル電流は流れない。また、書き込みセルのしきい値は0V以上Vcc（例えば5V）以下にする。

・【0055】データの読み出しも、従来と同様で、選択されたセルの属するビット線はVcc、例えば5Vにプリチャージされ、非選択のビット線には0Vにされる。そして選択されたセルの制御ゲートに0V、それ以外の非選択セルの制御ゲートにはVcc、が印加され選択ゲートを開いてビット線から電流が流れ込むか否かによってデータ“0”／“1”を判定する。すなわち、セルがデプレッション化していれば電流は流れるが、しきい値が正になっていれば電流は流れない。図19はCELL1を読み出すときの電圧印加状態を示している。また、図20に上記実施例のメモリセルにおける消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す。

・【0056】上記実施例における選択トランジスタの浮遊ゲート電極への電荷注入はユーザの使用状態において、例えば、以下のシーケンスのように自動的に行えるようにしておけばよい。

10

20

30

40

50

15

- ・(1) 選択トランジスタ、メモリセル一括消去
- ・(2) 選択トランジスタ書き込み(しきい値制御のため Verifyを行ってもよい)
- ・(3) メモリセル選択書き込み

なお、データの書き換え時にも上記(1)～(3)の動作を行う。

・【0057】しかし、上記のようなシステムにした場合、第1に、選択トランジスタにも書き込み消去ストレスが加わるため、選択トランジスタが不良になる可能性が高くなる。第2に、データ書き換え時に、選択トランジスタの書き込みを行わなければならないため、トータルの書き込み時間が長くなる、等の問題がある。

・【0058】そこで、選択トランジスタの浮遊ゲート電極への電荷注入は工場出荷時に製造者が行う。ユーザ側でデータの書き換えを行う場合には、上述のように消去時に選択トランジスタに V_{pp} あるいは V_m を印加し、選択トランジスタの電荷が消去されないようにする回路構成とすればよい。

・【0059】また、選択トランジスタへの書き込みにおいて上述のように、しきい値を例えば1V程度に制御する必要がある。ここで、選択トランジスタとメモリセルとが前述したカップリング比($Cs2/(Cs1+Cs2)$)が同じとすると、同じ V_{pp} 電圧を与えた場合、メモリセルより短い書き込み時間で選択トランジスタの書き込みを行わなければならない、しきい値制御がむずかしい。また、選択トランジスタ書き込み時の V_{pp} を低くする方法もあるが、回路が複雑になるという難点がある。

・【0060】上記問題は選択トランジスタのカップリング比($Cs2/(Cs1+Cs2)$)をメモリセルのそれより小さくすれば容易に解決できる。例えば、ワード線方向への浮遊ゲート電極長 $Fd1$ (図1に図示)をメモリセルの浮遊ゲート電極長 $Fd2$ より小さくすることにより、選択トランジスタの浮遊ゲート電極と前記制御ゲート電極間の静電容量 $Cs2$ が小さくなりカップリング比が小さくなる。選択トランジスタのカップリング比を小さくすることにより、消去時、あるいは選択書き込み時の選択トランジスタの誤消去、誤差書き込みを防止できる。

・【0061】図21はこの発明の第2実施例に係るNAND型EEPROMのメモリセルアレイの一部分を示す平面図である。図22(A-A)、(B-B)、(C-C)(D-D)はそれぞれ図21におけるA-A線、B-B線、C-C線、D-D線に沿う断面図である。上述の選択トランジスタのカップリング比をメモリセルのそれより小さくする構成の他の例で、図1との相違点は図22(B-B)に示すように選択トランジスタにおいて*

$$\cdot (V_{pp} - (V_{SG1} - V_{thSG})) \times C_{Rcell} / T_{tunnel} < 6 \text{ MV/cm} \quad \cdots (1)$$

ただし、 V_{thSG} は選択トランジスタの紫外線照射後の中性しきい値、 C_{Rcell} はメモリセルのカップリング比、 T_{tunnel} はトンネル酸化膜の膜厚を意味する。

・【0067】また、メモリセルのカップリング比は制御

16

*浮遊ゲート分離領域205を設けずに、浮遊ゲート(ポリシリコン204)を連続させた構成となっていることである。従ってこの実施例では、図示しないが製造方法に関する前記図5から図10の各(B-B)断面図のポリシリコン204は図4のポリシリコン204のごとく、浮遊ゲート分離領域205を設けない構造となる。

・【0062】この実施例を適用する場合次の条件が必要である。図22(D-D)に示すように、メモリセルの浮遊ゲート分離領域205において、幅 L とポリシリコン204の膜厚 T との関係、 $2T > L$ を満足すれば、選択トランジスタの容量のカップリング比がメモリセルのそれより小さくなる。

・【0063】上記構成によれば、選択トランジスタは浮遊ゲート分離領域205を持たないので選択トランジスタ全体の共通の浮遊ゲートとして存在することになる。よって選択トランジスタそれぞれのカップリング比のばらつきは皆無になる。個々の選択トランジスタのしきい値の均一化が容易になる。その他の構成は図1と同様であり、コンタクトホール数は必要最小限となり、高集積化に寄与する。

・【0064】次に、この発明の第3実施例を以下に説明する。上記2つの実施例によれば、選択トランジスタ209は書き込み、読み出し時には選択されたもの以外は非導通状態としなければならない。すなわち、選択トランジスタはエンハンスメント型トランジスタでなければならない。また、上記のように、書き込み時において選択されるメモリセルと制御ゲートを共通に接続するメモリセルには制御ゲートに V_{pp} が印加されるため、誤書き込みを防止するための V_m (例えば10V)をチャネルに供給する必要がある(図20における“1”書き込み)。

・【0065】このような条件を保ちつつ、選択トランジスタの浮遊ゲート電極への電荷注入の工程、すなわち選択トランジスタの書き込み工程なしに選択トランジスタに所望のしきい値を持たせる構成を以下説明する。この実施例の特徴は、紫外線照射により全部のメモリセルを消去状態にし、このとき、選択トランジスタも紫外線照射されその中性しきい値が正の値を保つようにする選択トランジスタを構成することである。

・【0066】トランジスタのソース、ドレイン間電圧はゲート電圧とそのトランジスタのしきい値の差で決まる。トンネル酸化膜をトンネル電流(F-N電流)が流れ始めるために必要なトンネル酸化膜にかかる電界は約6MV/cmであるから、

ゲートと浮遊ゲートの間の絶縁膜の膜厚を $T_{inter-poly}$ 、面積を $S_{inter-poly}$ 、トンネル酸化膜と浮遊ゲート電極の作る面積を S_{tunnel} とすると、次式で定義される。

50

17

$$C_{Rcell} = (S_{inter-poly} / T_{inter-poly}) / ((S_{inter-poly} / T_{inter-poly}) + (S_{tunnel} / T_{tunnel})) \quad \dots (2)$$

また、書き込み時に選択トランジスタの制御ゲートに V_{SG1} (図 20 に図示の 10 V) を印加したとき、選択トランジスタの浮遊ゲートに書き込みがおこってはならない。なぜなら、(1) 式に示す V_{thSG} が大きくなるため、

$$V_{SG1} \times C_{RSG1} / T_{tunnel} < 6 \text{ MV} / \text{cm} \quad \dots (3)$$

$$-(V_{well} - V_{SG1}) \times C_{RSG1} / T_{tunnel} < 6 \text{ MV} / \text{cm} \quad \dots (4)$$

さらに、選択トランジスタの紫外線照射後の中性しきい値 V_{thSG} が大きい場合、上述と同様誤書き込みが起こってしまうので、選択トランジスタに関してはチャネルイオン注入等でしきい値を調整しておく必要がある。

・【0068】例えば、上記 C_{Rcell} 、 C_{RSG1} とも 0.5 としたとき、図 20 に示す電圧例は上記 (1) から (4) 式を満足する。また、そのときの選択トランジスタの紫外線照射後の中性しきい値 V_{thSG} は 1 V 程度でよい。ただし、中性しきい値 V_{thSG} は各電位関係によって決定されるものなので 1 V に限るものではない。

・【0069】図 23、図 24 は上記第 3 実施例に関する選択トランジスタのイオン注入の工程を含んだ製造方法を前記第 1 実施例に適用した場合を示す断面図である。すなわち、前記図 2 から図 3 に移る工程の間において、図 23 に示されるように、選択トランジスタのチャネル領域となる部分以外をレジストで覆って選択トランジスタのチャネル領域に不純物をイオン注入する工程を追加する。第 2 実施例への適用も同様であるので、第 2 実施例に関する説明は省略する。

・【0070】図 23 の工程は例えば次のような製造方法による。前記図 2 の構成の後、基板 201 の素子領域表面上に例えば 20 nm の酸化膜 311 を形成し、フォトリソグラフィ技術により、選択トランジスタのチャネル形成領域以外をレジスト 312 で被覆する。その後、イオン注入法により、選択トランジスタのチャネル形成領域に不純物 313 を注入する。この不純物 313 は例えばボロンであり、30 keV の加速電圧で、ドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入される。次に、20 nm の酸化膜 311 をウェットエッチングにより除去する。

・【0071】上記イオン注入工程が追加されると、前記図 3 以降の製造工程を示す断面図において、図示しないが、選択トランジスタのチャネル領域には不純物 (ボロン) 313 が導入された状態となる。従って、前記図 11 の各断面に対応する構成として図 24 に示されるように、図 24 (A-A) 及び (B-B) の選択トランジスタ 209 のチャネル領域は不純物 (ボロン) 313 が導入された状態となっている。この点のみが前記図 11 と相違している。平面図に関しては図 1 と同様の構成である。

・【0072】選択トランジスタの領域にイオン注入するイオン種は B (ボロン) に限るものではなく、 BF_2 でもよい。また、ドーズ量についても $1 \times 10^{13} \text{ cm}^{-2}$ に

18

* である。また、選択トランジスタは常にエンハンスメント型でなければならないので、消去時に選択トランジスタが消去状態になってはならない。従って選択トランジスタのカップリング比を C_{RSG1} とすると、次式が成立しなければならない。

$$\dots (3)$$

$$\dots (4)$$

限るものではなく、所望のしきい値が得られるドーズ量でよい。加速電圧についても同様所望の特性が得られれば、30 keV に限るものではない。また、良く知られているトランジスタのナローチャネル効果によるしきい値上昇を抑制する必要がある場合には、P (リン) あるいは As (ヒ素) をイオン注入しても良い。また、選択トランジスタの浮遊ゲート電極は浮遊ゲート分離領域を有していなくてもよく、上記式 (3)、(4) を満足していれば良い。

・【0073】上記第 3 実施例の構成によれば、選択トランジスタは書き込み工程なしに所望のしきい値を持たせることができる。すなわち、アセンブリ (製品組み立て) 工程の前に紫外線照射による消去工程を経て、選択トランジスタとして所望のしきい値を確定させればよい。紫外線照射は、例えば波長 $\lambda = 253.7$ オングストロームで $3 \text{ mW} / \text{cm}^2$; 10 分以上行う。その後、ユーザ側でデータの書き換えを行う場合には、前述のように消去時に選択トランジスタに V_{pp} あるいは V_m を印加し、選択トランジスタの電荷が消去されないようにする回路構成とすればよい。

・【0074】この場合、選択トランジスタへの書き込み手段は必要ないから、図 15 に対応するロウサブデコードは図 25 のように一般的な構成となる。図 26 は図 25 の回路動作を決定する各部の電圧例を示している。

・【0075】以上、3 つの実施例を用いてこの発明を説明したが、上記各実施例に限るものではなく、その主旨を逸脱しない範囲で種々の応用が可能である。例えばこの発明は、NAND 型 EEPROM を一例として説明したが、FLOTOX 型 EEPROM についても同様に、選択トランジスタを浮遊ゲート電極をもつ構造にして、ゲート酸化膜をトンネル酸化膜としても同様の効果、すなわちトランジスタ構造の共通化による製造工程の簡素化に伴う汚染原因となる工程の削除、コンタクト数の削減による集積度向上が達成される。

・【0076】また、半導体基板上に薄いゲート酸化膜とシリコン窒化膜の積層絶縁膜構造上にゲート電極を形成する MNOS 構造、あるいは半導体基板上に薄いゲート酸化膜とシリコン窒化膜と薄い酸化膜の積層絶縁膜構造上にゲート電極を形成する MONOS 構造のメモリセルは、シリコン窒化膜中のトラップに電荷を注入あるいは放出することによりデータプログラムを行う。このよう

19

なMNOS、MONOS構造のEEPROMについても選択トランジスタをもつ構造であれば、選択トランジスタをMNOSあるいはMONOS構造にすることにより、上記各実施例と同様の効果が得られる。

・【0077】第1実施例における副次的な効果を説明する。図27(a)、(b)の平面図は共に、選択トランジスタの浮遊ゲートポリシリコン204S、メモリセルの浮遊ゲートポリシリコン204M、ソース/ドレイン領域の拡散層210、ビット線コンタクトBC、レジスト膜の開口部ROを示している。

・【0078】微細加工では、フォトリソグラフィ技術に伴う解像度の限界により、エッチング用のマスクとなるレジスト膜の角が丸みを帯びてしまう。浮遊ゲート分離領域205をメモリセル部分にのみに設ける構造では、図27(a)に示すように、選択トランジスタに隣接するメモリセル部の浮遊ゲート分離領域205はこの丸みを帯びたレジスト端部の影響で変形する恐れがある。これにより、選択トランジスタに隣接するメモリセルのカップリング比がばらつく。

・【0079】これに対して第1実施例における構成では、図27(b)に示すように選択トランジスタ部にも続いて分離領域205が形成されるので、選択トランジスタに隣接するメモリセル部の浮遊ゲート分離領域205が、レジスト膜の形状の影響で変形する心配はほとんどない。従って、メモリセルのカップリング比のばらつき抑制に寄与する。

・【0080】図28は図1におけるビット線としての配線214がボンディングパッドに導かれる例を示す断面図である。上記図27に示したビット線コンタクトBCが示されている。半導体基板201上に素子分離膜202、ゲート酸化膜203、浮遊ゲート電極であるポリシリコン204、その上に絶縁膜(例えばONO膜206)を介して制御ゲート電極となるポリシリコン207が形成される。層間絶縁膜217を介するコンタクトホール216により拡散層210と第1層目の配線214(ビット線)が接続される。

・【0081】半導体基板201上のゲート絶縁膜223、その上のゲート電極215、ゲート電極215の両側の半導体基板201表面の拡散層2101、2102により、周辺回路のトランジスタが形成されている。この拡散層2101と上記配線214がコンタクトホールを介した第2層目の配線2191により接続される。さらに、拡散層2102は第2層目の配線2192と接続され、この配線2192はコンタクトホールを介して第3層目の配線221と接続される。この第3層目の配線221は層間絶縁膜217の所定領域にボンディング用の開孔部222として露出している。

・【0082】このように、配線は複数層の金属電極と絶縁膜の積層構造であり、この金属電極間を接続するコンタクトホールの形成工程を伴う。この図28では3層構造の配線を示したが、これに限らず、これより多層、少

20

ない層の構造、もしくは単層構造も考えられる。

・【0083】図29はこの発明の応用例であり、本願のNAND型EEPROMのセンス系回路として、強制反転型のペリファイ機能を有するセンス回路を適用した回路図である。説明の都合上ビット線3本分を取り出して示す。図12の構成のメモリセルからなるメモリセルアレイ11、強制反転型のセンス回路及び書き込みデータラッチ12、ペリファイ検出回路13、カラムゲート14、制御回路15を示す。

10 ・【0084】図29によると、1ビット線分の回路は次のように構成される。ビット線BL(図ではBLx;xは1~3)には、図12に示されるようなNAND型メモリセル2(図では2-x;xは1~3)が複数接続されている。PチャネルトランジスタQ1はビット線BLを充電するために設けられている。書き込みデータを一時的に保持するフリップフロップ回路1(図では1-x;xは1~3)は、ノードN(図ではNx;xは1~3)とソースBN(図ではBNx;xは1~3)を持っており、フリップフロップ回路1のノードNとビット線BL間はNチャネルトランジスタQ2により導通制御される。フリップフロップ回路1のノードBNと0Vの接地電位との間にNチャネルトランジスタQ3、Q4が直列に接続されている。このトランジスタQ3のゲートはビット線BLに接続されている。これらトランジスタQ3とQ4は強制反転手段(データ設定回路)を構成する。

30 ・【0085】リセット機能として、ノードNと0Vの接地電位との間にNチャネルトランジスタQ5が設けられる。ノードBNにそのゲートが接続されているNチャネルトランジスタQ6(図ではQ6-x;xは1~3)はペリファイ動作終了を検出する機能を持つ。このトランジスタQ6のソースは接地され、ドレインは共通ペリファイ線VLに接続されている。このペリファイ線VLと電源との間にはペリファイ線VLを充電するためのPチャネルトランジスタQ7が接続されている。このペリファイ線VLからインバータ3を介してペリファイ検知信号VFYが出力される。フリップフロップ回路1における各端子はカラムゲート4を介してI/O線、BI/O線(I/Oの反転信号線)に接続されている。

40 ・【0086】すべてのトランジスタQ1のゲートにはφ1信号線が接続され、また、すべてのトランジスタQ2のゲートにはφ2信号線が、Q3のゲートにはφ3信号線が接続される。リセット用のトランジスタQ5のゲートにはφR信号線が接続され、トランジスタQ7のゲートにはφ4信号線が接続される。クロック発生回路5はクロックφ1、φ2、φ3、φ4、φRの各信号を所定のタイミングで駆動制御する。トランジスタQ1のソースは書き込み動作時は10V、それ以外の時は電源電圧5Vとなる電源に接続されている。また、フリップフロップ回路の電源も書き込み動作時は10V、それ以外の時は5Vである。

50

21

・【0087】上記構成のセンス系回路の動作を説明する。ビット線電位を読み込む前に信号φRによりトランジスタQ5をオンさせてフリップフロップ回路1を初期化(ノードNを“L”レベル)しておき、その後、信号φ1によりビット線BLをプリチャージする。信号φ2によりトランジスタQ2をオンさせ、ビット線をフリーランニング状態におく。ある時間経過後、信号φ3によりトランジスタQ4をオン状態にする。このとき、ビット線電位が“L”レベルになっていればフリップフロップ回路1の状態は初期値と同一であるが、“H”レベルになっていればフリップフロップ回路1の状態が反転し、ノードBN1を“H”から“L”に設定しなおす。

・【0088】上述の具体的動作を(A)ノードNが“L”にセットされ選択したセルに“0”データを書き込む動作をさせた場合、(B)ノードNが“H”にセットされメモリセルに“1”データを書き込む動作、つまり消去状態のままに保つ動作をさせた場合に別けて説明する。

・【0089】まず、(A)の書き込み条件の場合、次のベリファイ時の読み出し動作において、トランジスタQ2オフ、トランジスタQ1オンによるビット線のプリチャージから一定時間(フリーランニング期間)を経ると次のようなセルの状態が考えられる。

(i) 確実に“0”データとしてのしきい値を得たセルはビット線のプリチャージ電位を保つ。

(ii) まだ、しきい値の設定が十分でない、つまり電子が必要量注入されていないセルはオン状態に近く、ビット線のプリチャージ電位を放電させてしまう。

・【0090】上記フリーランニング期間後、信号φ3によりトランジスタQ4をオン状態にする。(i)の状態になっていればフリップフロップ回路1のノードBNは“L”となりラッチデータは反転する。これにより、このビット線につながる選択セルは次の再書き込み動作から除外される。なぜなら、次の再書き込み動作時にはノードNは“H”であり、ビット線に書き込みが禁止される中間電圧($V_m = 10V$)が印加されることになるからである。

・【0091】(ii)の状態になっていれば、トランジスタQ3はオンせず、ノードNは“L”のままであるから次の再書き込み動作が行われる。この再書き込み動作は、ベリファイ時において、上記(i)の状態を得るまで繰り返される。

・【0092】一方、(B)の書き込み条件ではビット線は必然的に放電状態になるから、トランジスタQ3はオンせず、ノードNは“H”のままであり、次の再書き込み時には書き込み当初と同様にビット線に書き込み禁止の中間電圧が印加される。すなわち、フリップフロップ回路1のノードNが“H”に接続されたビット線は書き込みは起こらない。

・【0093】所定時間のベリファイ動作終了後、信号φ

22

4を立ち下げ、共通ベリファイ線VLを5Vにプリチャージする。ここで、トランジスタQ6-1, Q6-2, Q6-3のうち一つでもオンして導通すれば、共通ベリファイ線VLが放電される。また、トランジスタQ6-1からトランジスタQ6-2のすべてがオフし、非導通であれば、共通ベリファイ線VLは5Vのままである。

・【0094】この結果、ノードN1~N3のうち、一つでも0Vの電位のビット線があれば(すなわち書き込みがまだ完了していないビット線があれば)共通ベリファイ線VLは放電し、出力VFYは5Vとなる。また、ベリファイ後のノードN1からノードN3のすべてが5Vとなれば(すなわち全ビットに対して書き込みが終了してれば)共通ベリファイ線VLは5Vのままであり、出力VFYは0Vとなる。

・【0095】このように、一括ベリファイ回路を設けると、全ビットの書き込みが終了しているか否かを一括して検出できる。この結果、書き込み動作及びベリファイ動作のサイクルをいつ停止すべきかを判定できる。信号φ4により共通ベリファイ線VLを充電するタイミングはベリファイ読み出し中もしくはそれ以前に設定することができ、一括ベリファイ時間、書き込み時間の短縮に寄与する。このようなベリファイ手段を設けたセンス系回路は第1、第2実施例における選択トランジスタの書き込み後のベリファイにも利用できる。

・【0096】この発明の実施例で示した製造方法は、一代表例であり、本発明の効果を損ねるものでなければ、種々の応用が可能である。例えば、上記実施例ではトンネル酸化膜を10nmとしているが、トンネル酸化膜の厚さは制御ゲート電極にVppを印加したときに浮遊ゲート上下の静電容量による電位分割によりトンネル酸化膜にかかる電界が決定されるため、Vppやカップリング比により膜厚の適正值は異なり10nmに限るものではない。

・【0097】また、各実施例では半導体基板について規定していないが、P型シリコン基板でもN型基板でもよい。また、N型MOSでメモリセルを形成する場合は、P型基板あるいはN型基板にPウェルを形成しメモリセル形成領域の基板表面をP型にしておく。逆に、P型MOSでメモリセルを形成する場合は、N型基板あるいはP型基板にNウェルを形成しメモリセル形成領域の基板表面をN型にしておく。

・【0098】また、トンネル酸化膜に熱酸化膜を用いたが、その形成条件は上記以外でもよく、また窒化酸化膜のような絶縁膜を使用してもよい。また、浮遊ゲート電極上の絶縁膜は上記実施例においてはONOを用いているが、酸化膜単層でもかまわない。また、それらの形成条件も熱酸化ではなくCVD法による形成でもよい。また、制御ゲート電極にポリシリコンを用いたが、ポリシリコンとシリサイドの積層膜を用いても良いし、シリサイド単層でもよい。実施例では金属配線層にアルミニウ

23

ム合金を用いているが、WSiのようなシリサイドやポリシリコンとシリサイドの積層膜を用いてもよい。

・【0099】さらに、実施例では、コンタクトホール開孔後、アルミニウム合金を堆積しているが、アルミニウム合金堆積前に他の金属でバリアメタル層を形成しても良く、また、コンタクトホールは、シリコンや金属で埋め込んでも良い。

・【0100】

・【発明の効果】以上説明したように本発明によれば、電気的書き込み消去型不揮発性半導体記憶装置において、第一のポリシリコンにコンタクトホールを開孔する必要がなく、即ちコンタクトホール数が少なくコンタクトブリッジの必要のない選択トランジスタを有すると共に、製造工程を複雑化することなくトンネル酸化膜の信頼性を向上させる不揮発性半導体記憶装置及びその製造方法を提供することができる。

・【図面の簡単な説明】

・【図1】この発明の第1実施例に係るNAND型EEPROMのメモリセルアレイの一部分を示す平面図。

・【図2】図1で示す各断面位置における第1の工程断面図。

・【図3】図1で示す各断面位置における第2の工程断面図。

・【図4】図1で示す各断面位置における第3の工程断面図。

・【図5】図1で示す各断面位置における第4の工程断面図。

・【図6】図1で示す各断面位置における第5の工程断面図。

・【図7】図1で示す各断面位置における第6の工程断面図。

・【図8】図1で示す各断面位置における第7の工程断面図。

・【図9】図1で示す各断面位置における第8の工程断面図。

・【図10】図1で示す各断面位置における第9の工程断面図。

・【図11】図1で示す各断面位置における第10の工程断面図。

・【図12】図1の構成によるこの発明のNAND型EEPROMのメモリセルを一部抜き出して示す回路図。

・【図13】この発明に係る選択トランジスタのしきい値制御を行うためのデコーダ系の要部を示す回路図。

・【図14】図13のロウメインデコーダ部分の具体的な回路図。

・【図15】図13のロウサブデコーダ部分の具体的な回路図。

・【図16】図15の回路動作を決定する各部の電圧例を示す図。

・【図17】この発明に係るメモリのデータ消去に関する

24

動作を説明する回路図。

・【図18】この発明に係るメモリのデータ書き込みに関する動作を説明する回路図。

・【図19】この発明に係るメモリのデータ読み出しに関する動作を説明する回路図。

・【図20】この発明に係るメモリセルにおける消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図。

・【図21】この発明の第2実施例に係るNAND型EEPROMのメモリセルアレイの一部分を示す平面図。

・【図22】図21で示す各断面位置における工程断面図。

・【図23】この発明の第3実施例に係る構成の製造工程を一部抜き出して示す断面図。

・【図24】この発明の第3実施例に係る構成を図1で示す各断面位置に対応させた断面図。

・【図25】この発明の第3実施例に対応させた図13のロウサブデコーダ部分の具体的な回路図。

・【図26】図25の回路動作を決定する各部の電圧例を示す図。

・【図27】第1実施例の副次的な効果を説明するための平面図。

・【図28】図1におけるビット線としての配線がボンディングパッドに導かれる例を示す断面図。

・【図29】この発明の応用例の構成を示す回路図。

・【図30】従来のNAND型EEPROMのメモリセルを一部抜き出して示す回路図。

・【図31】図31のメモリセルにおける消去、書き込み及び読み出し動作時に各所に印加される電圧例を示す図。

・【図32】図31のメモリセルにおけるしきい値制御の特性図。

・【図33】従来のNAND型EEPROMのメモリセルアレイの一部分を示す平面図。

・【図34】図33で示す各断面位置における第1の工程断面図。

・【図35】図33で示す各断面位置における第2の工程断面図。

・【図36】図33で示す各断面位置における第3の工程断面図。

・【図37】図33で示す各断面位置における第4の工程断面図。

・【図38】図33で示す各断面位置における第5の工程断面図。

・【図39】図33で示す各断面位置における第6の工程断面図。

・【図40】図33で示す各断面位置における第7の工程断面図。

・【図41】図33で示す各断面位置における第8の工程断面図。

25

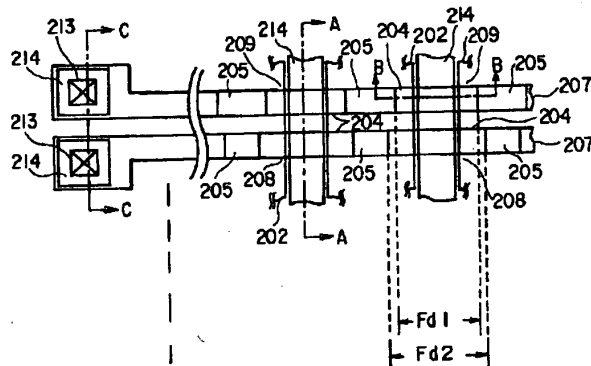
・【図 4 2】 図 3 3 で示す各断面位置における第 9 の工程断面図。

・【図 4 3】 図 3 3 で示す各断面位置における第 10 の工程断面図。

・【図 4 4】 図 3 3 で示す各断面位置における第 11 の工程断面図。

・【図 4 5】 図 3 3 で示す各断面位置における第 12 の工程断面図。

・【図 1】

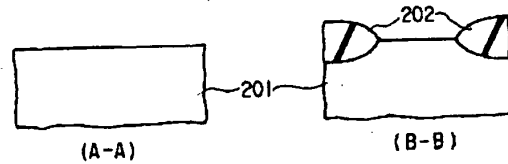


26

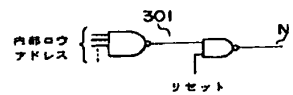
*・【符号の説明】

201 … 半導体基板、202 … 素子分離領域、203 … ゲート酸化膜、204、207 … ポリシリコン、205 … 浮遊ゲート分離領域、206 … 積層絶縁膜、208 … メモリセル、209 … 選択トランジスタ、210 … 拡散層、211 … 酸化膜、212 … BPSG 膜、213 … コンタクトホール、214 … 配線。

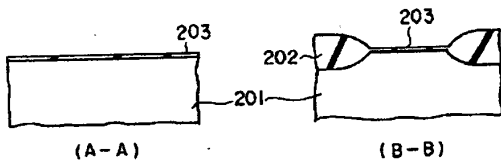
・【図 2】



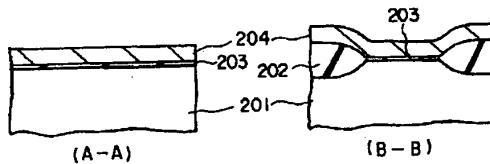
・【図 1 4】



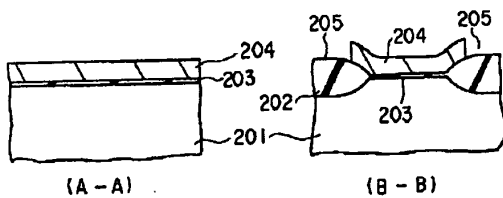
・【図 3】



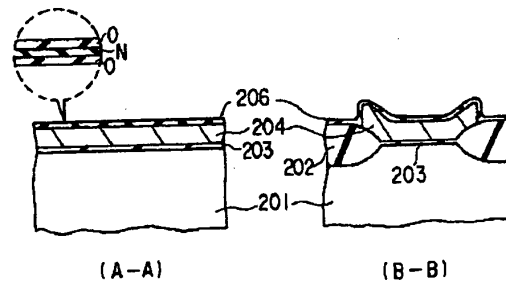
・【図 4】



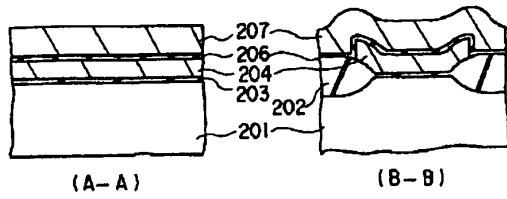
・【図 5】



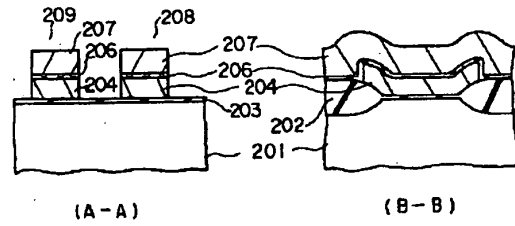
・【図 6】



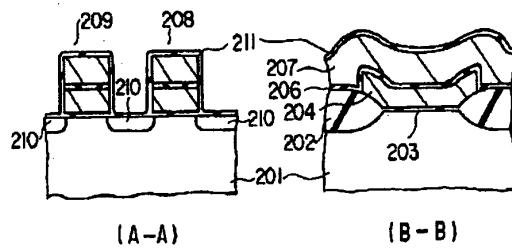
・【図 7】



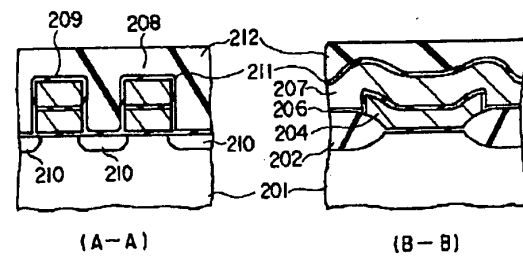
・【図 8】



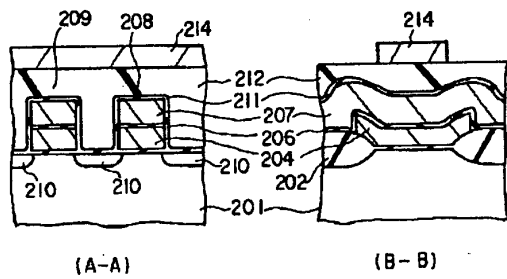
・【図 9】



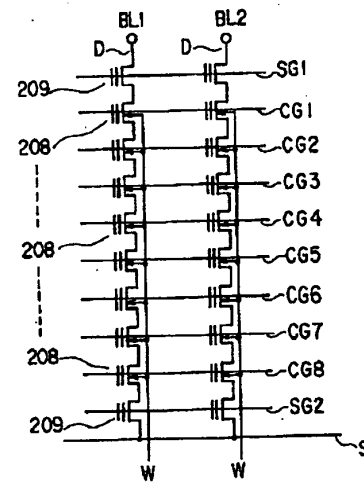
・【図 10】



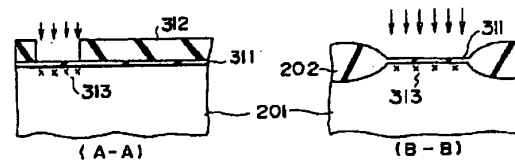
・【図 11】



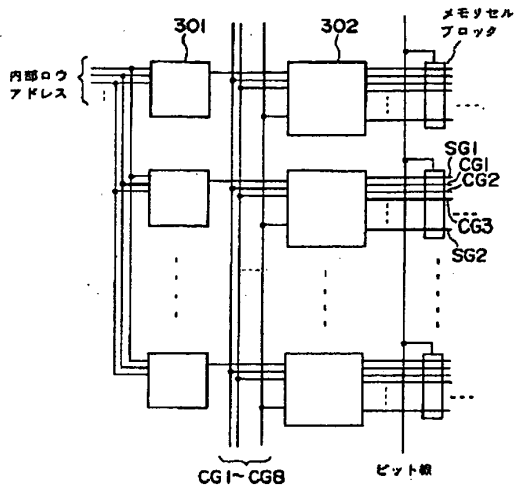
・【図 12】



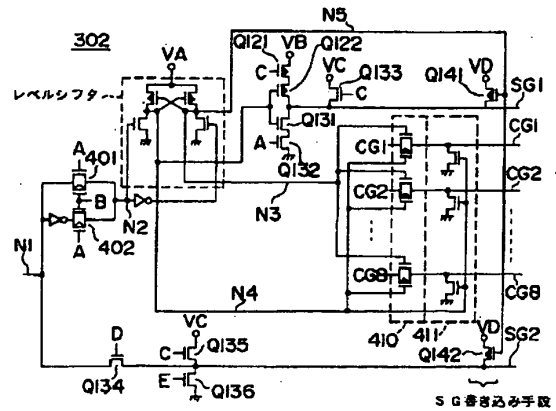
・【図 23】



・【図 13】



・【図 15】



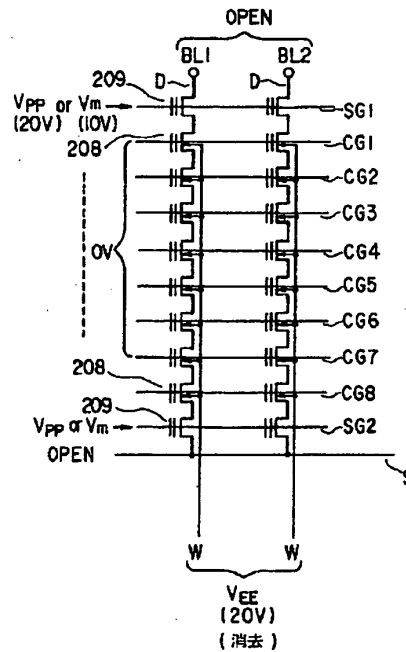
Well 電位が読み出し時 V_{cc} 、書き込み時、消去時 V_{pp} の PチャネルMOSトランジスタ

Well 電位が V_{cc} の PチャネルMOSトランジスタ

・【図 16】

	読み出し時	書き込み時	SG書き込み	消去
信号 A	V_{cc}	V_{cc}	GND	GND
信号 B	GND	GND	V_{cc}	V_{cc}
信号 C	GND	GND	GND	V_{pp}
信号 D	V_{cc}	GND	GND	GND
信号 E	GND	V_{cc}	GND	GND
電源 VA	V_{cc}	V_{pp}	V_{pp}	V_{pp}
電源 VB	V_{cc}	V_m	V_{cc}	V_{cc}
電源 VC	V_{cc}	V_{cc}	V_{cc}	V_{pp}
電源 VD	V_{cc}	V_{pp}	V_{pp}	GND

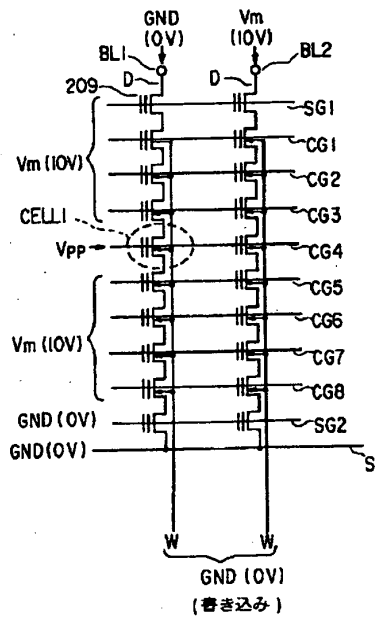
・【図 17】



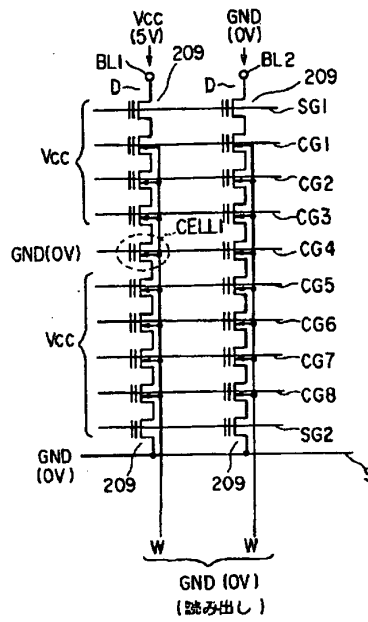
・【図 20】

	読み出し	消去	書き込み
BL	5V プリチャージ	OPEN	0書き込み 0V 1書き込み 10V
SG1	5V	20V もしくは 10V	10V
CG	選択 0V 非選択 5V	0V	選択 20V 非選択 10V
SG2	5V	20V もしくは 10V	0V
W	0V	20V	0V
S	0V	OPEN	0V

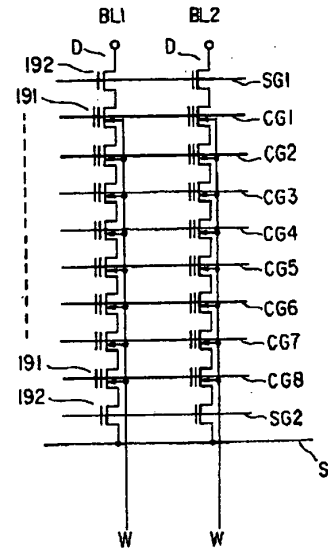
・[図 18]



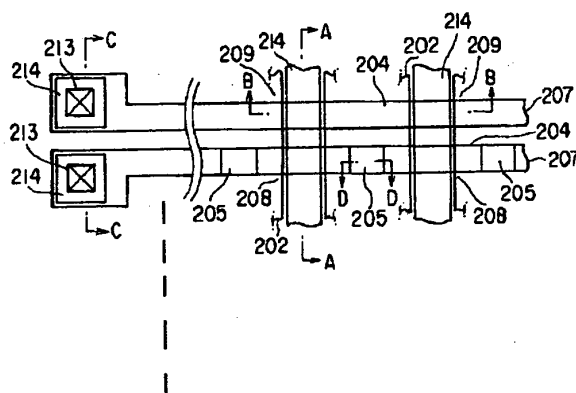
・[図 19]



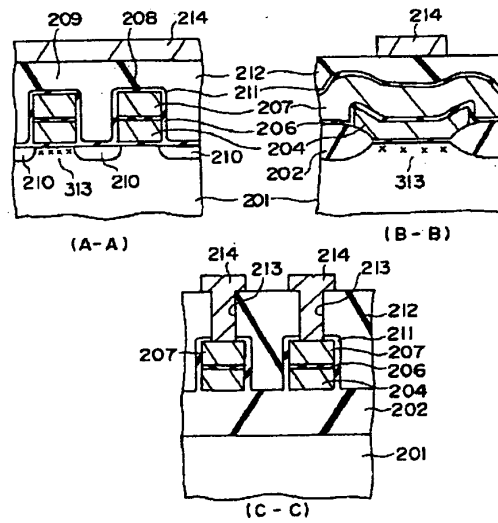
・[図 30]



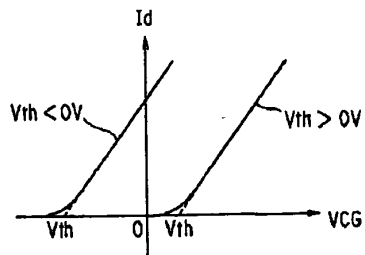
・[図 21]



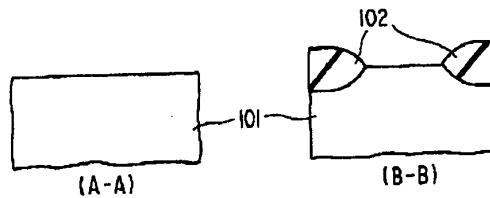
・[図 24]



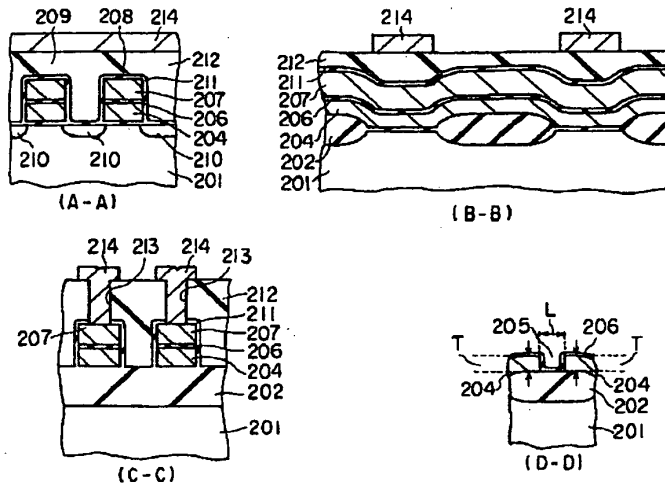
・[図 32]



・[図 34]



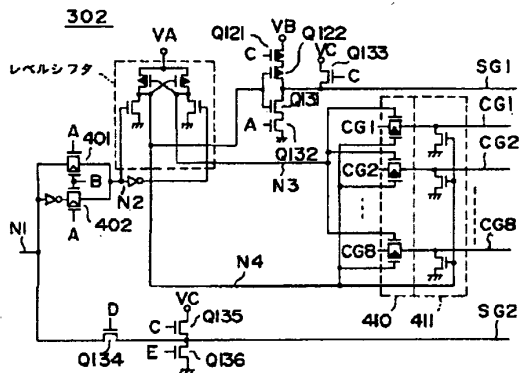
・【図 22】



・【図 31】

	読み出し	消去	書き込み
BL	5V プリチャージ	OPEN	0V 書き込み 0V 1V 書き込み 10V
SG1	5V	0V	10V
CG	選択 0V 非選択 5V	0V	選択 20V 非選択 10V
SG2	5V	0V	0V
W	0V	20V	0V
S	0V	OPEN	0V

・【図 25】



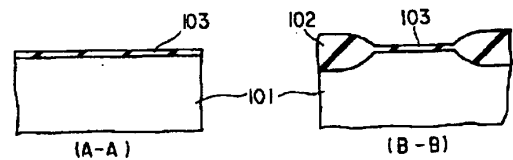
・【図 26】

	読み出し時	書き込み時	消去
信号 A	Vcc	Vcc	GND
信号 B	GND	GND	Vcc
信号 C	GND	GND	Vpp
信号 D	Vcc	GND	GND
信号 E	GND	Vcc	GND
電源 VA	Vcc	Vpp	Vpp
電源 VB	Vcc	Vm	Vcc
電源 VC	Vcc	Vcc	Vpp

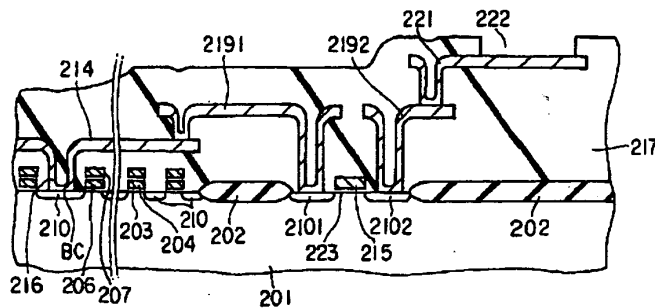
31- Well 電位が読み出し時 Vcc、書き込み時、消去時 Vpp の PチャネルMOSトランジスタ

31- Well 電位が Vcc の PチャネルMOSトランジスタ

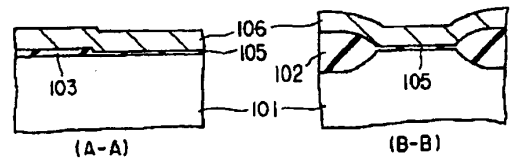
・【図 35】



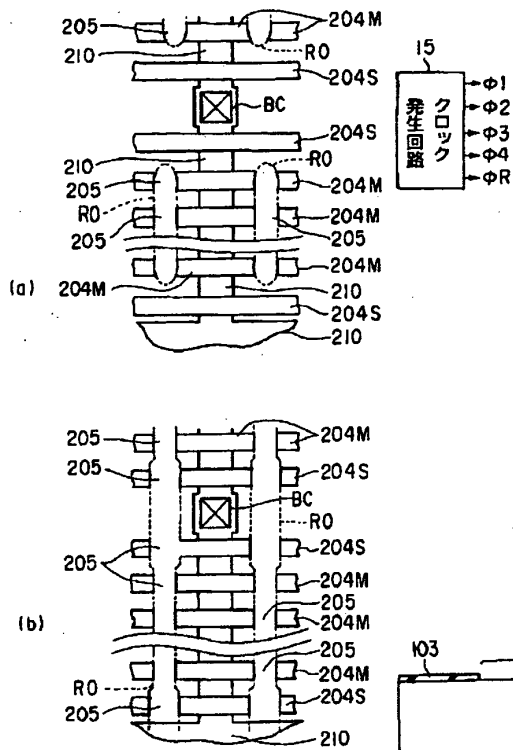
・【図 28】



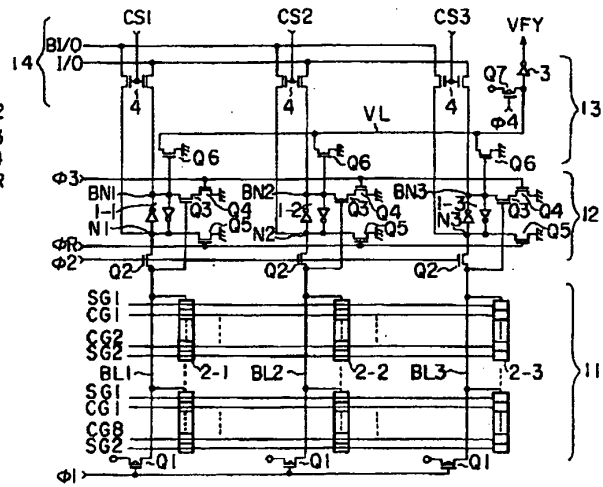
・【図 38】



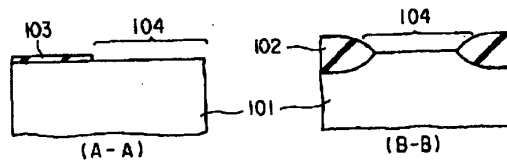
〔図 27〕



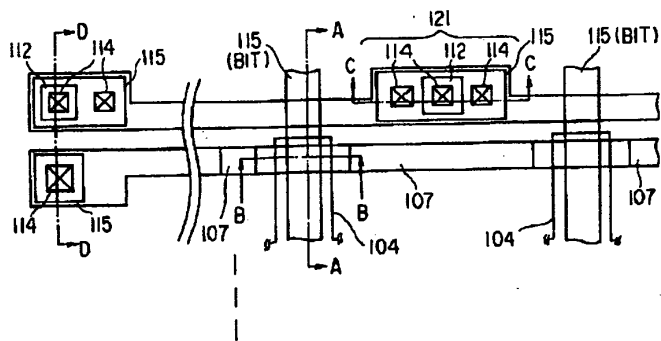
〔図 29〕



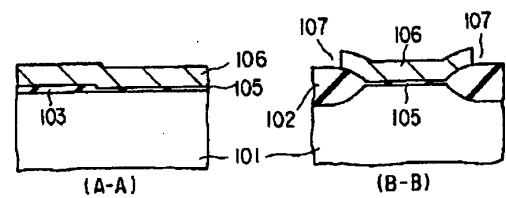
〔図 36〕



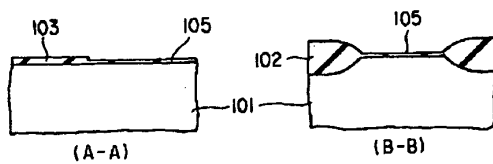
〔図 33〕



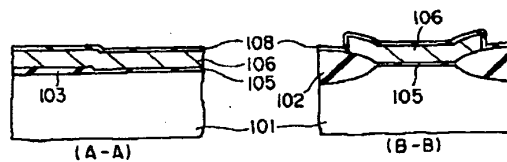
〔図 39〕



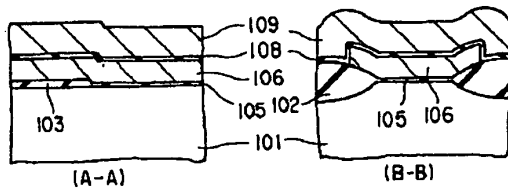
〔図 37〕



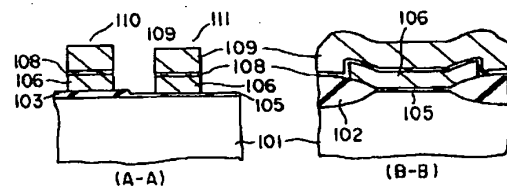
〔図 40〕



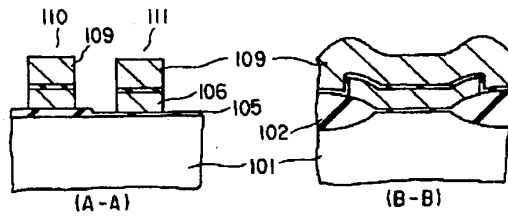
・【図 4 1】



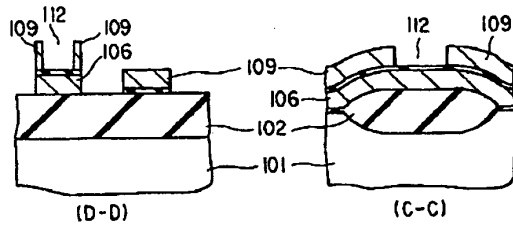
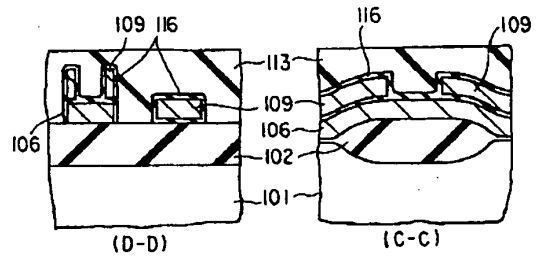
・【図 4 2】



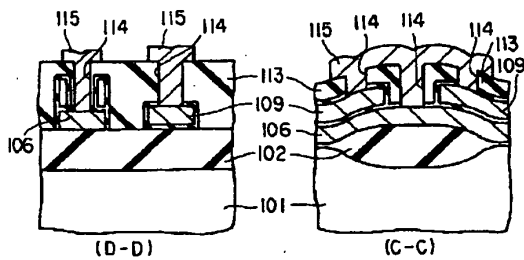
・【図 4 3】



・【図 4 4】



・【図 4 5】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

・ G 1 1 C 16/02

16/04

16/06

・ H 0 1 L 27/115

(21)

特開平8-78551

G11C 17/00
H01L 27/10

510 A
434